

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

J1033 U.S. PRO  
09/884942  
06/21/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日

Date of Application:

2000年 6月28日

出 願 番 号

Application Number:

特願2000-194457

願 人

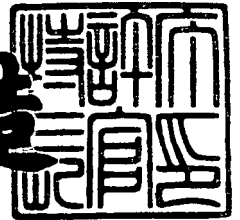
Applicant(s):

日本電気株式会社

2001年 3月16日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3018581

【書類名】 特許願

【整理番号】 72310192

【提出日】 平成12年 6月28日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/36

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 橋本 義春

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100065385

    【弁理士】

    【氏名又は名称】 山下 穰平

    【電話番号】 03-3431-1831

【手数料の表示】

    【予納台帳番号】 010700

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9001713

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 多階調デジタル映像データを表示するための駆動回路及びその方法

【特許請求の範囲】

【請求項 1】 非線形領域では、映像データのとりうる値に一对一に対応する電圧を生成し、線形領域では、前記映像データのとりうる値に多対一に対応する電圧を生成する階調電圧発生回路と、

前記映像データの実際の値に応じて、前記階調電圧発生回路が生成した電圧のうちの 1 の電圧を選択して出力する階調電圧選択回路と、

前記映像データの実際の値が前記非線形領域にあるか又は前記線形領域にあるかを判定する判定手段と、

前記階調電圧選択回路が出力した電圧を入力し、前記判定手段により前記映像データの実際の値が前記非線形領域にあることが判定されたならば、前記階調電圧選択回路が出力した電圧をそのまま出力し、前記判定手段により前記映像データの実際の値が前記線形領域にあることが判定されたならば、前記映像データの実際の値に応じて、前記階調電圧選択回路が出力した電圧又は前記階調電圧選択回路が出力した電圧にオフセット電圧を加算又は減算した電圧を出力する出力回路と、

を備えることを特徴とする多階調デジタル映像データを表示するための駆動回路。

【請求項 2】 非線形領域では、映像データのとりうる値に一对一に対応する電圧を生成し、線形領域では、前記映像データのとりうる値に二対一に対応する電圧を生成する階調電圧発生回路と、

前記映像データの実際の値に応じて、前記階調電圧発生回路が生成した電圧のうちの 1 の電圧を選択して出力する階調電圧選択回路と、

前記映像データの実際の値が前記非線形領域にあるか又は前記線形領域にあるかを判定する判定手段と、

前記階調電圧選択回路が出力した電圧を入力し、前記判定手段により前記映像データの実際の値が前記非線形領域にあることが判定されたならば、前記階調電

圧選択回路が出力した電圧をそのまま出力し、前記判定手段により前記映像データの実際の値が前記線形領域にあることが判定されたならば、前記映像データの実際の値の偶奇に応じて、前記階調電圧選択回路が出力した電圧又は前記階調電圧選択回路が出力した電圧にオフセット電圧を加算又は減算した電圧を出力する出力回路と、

を備えることを特徴とする多階調デジタル映像データを表示するための駆動回路。

【請求項 3】 非線形領域では、映像データのとりうる値に一对一に対応する電圧を生成し、線形領域では、前記映像データのとりうる値に多対一に対応する電圧を生成する階調電圧発生回路と、

前記映像データの実際の値に応じて、前記階調電圧発生回路が生成した電圧のうちの相互に隣接する 2 の電圧を選択して出力する階調電圧選択回路と、

前記映像データの実際の値が前記非線形領域にあるか又は前記線形領域にあるかを判定する判定手段と、

前記階調電圧選択回路が出力した電圧を入力し、前記判定手段により前記映像データの実際の値が前記非線形領域にあることが判定されたならば、前記階調電圧選択回路が出力した 2 の電圧のうちの 1 の電圧をそのまま出力し、前記判定手段により前記映像データの実際の値が前記線形領域にあることが判定されたならば、前記映像データの実際の値に応じて、前記階調電圧選択回路が出力した 2 の電圧のうちの 1 の電圧又はその 2 の電圧を前記映像データの実際の値の下位ビットの値に応じて分圧した電圧を出力する出力回路と、

を備えることを特徴とする多階調デジタル映像データを表示するための駆動回路。

【請求項 4】 非線形領域では、映像データのとりうる値に一对一に対応する電圧を生成し、線形領域では、前記映像データのとりうる値に多対一に対応する電圧を生成する階調電圧発生ステップと、

前記映像データの実際の値に応じて、前記階調電圧発生ステップで生成した電圧のうちの 1 の電圧を選択して出力する階調電圧選択ステップと、

前記映像データの実際の値が前記非線形領域にあるか又は前記線形領域にある

かを判定する判定ステップと、

前記階調電圧選択ステップで出力した電圧を入力し、前記判定ステップにより前記映像データの実際の値が前記非線形領域にあることが判定されたならば、前記階調電圧選択ステップで出力した電圧をそのまま出力し、前記判定ステップにより前記映像データの実際の値が前記線形領域にあることが判定されたならば、前記映像データの実際の値に応じて、前記階調電圧選択ステップで出力した電圧又は前記階調電圧選択ステップで出力した電圧にオフセット電圧を加算又は減算した電圧を出力する出力ステップと、

を有することを特徴とする多階調デジタル映像データを表示するための駆動方法。

【請求項 5】 非線形領域では、映像データのとりうる値に一对一に対応する電圧を生成し、線形領域では、前記映像データのとりうる値に二対一に対応する電圧を生成する階調電圧発生ステップと、

前記映像データの実際の値に応じて、前記階調電圧発生ステップで生成した電圧のうちの 1 の電圧を選択して出力する階調電圧選択ステップと、

前記映像データの実際の値が前記非線形領域にあるか又は前記線形領域にあるかを判定する判定ステップと、

前記階調電圧選択ステップで出力した電圧を入力し、前記判定ステップにより前記映像データの実際の値が前記非線形領域にあることが判定されたならば、前記階調電圧選択ステップで出力した電圧をそのまま出力し、前記判定ステップにより前記映像データの実際の値が前記線形領域にあることが判定されたならば、前記映像データの実際の値の偶奇に応じて、前記階調電圧選択ステップで出力した電圧又は前記階調電圧選択ステップで出力した電圧にオフセット電圧を加算又は減算した電圧を出力する出力ステップと、

を有することを特徴とする多階調デジタル映像データを表示するための駆動方法。

【請求項 6】 非線形領域では、映像データのとりうる値に一对一に対応する電圧を生成し、線形領域では、前記映像データのとりうる値に多対一に対応する電圧を生成する階調電圧発生ステップと、

前記映像データの実際の値に応じて、前記階調電圧発生ステップで生成した電圧のうちの相互に隣接する 2 の電圧を選択して出力する階調電圧選択ステップと

前記映像データの実際の値が前記非線形領域にあるか又は前記線形領域にあるかを判定する判定ステップと、

前記階調電圧選択ステップで出力した電圧を入力し、前記判定ステップにより前記映像データの実際の値が前記非線形領域にあることが判定されたならば、前記階調電圧選択ステップで出力した 2 の電圧のうちの 1 の電圧をそのまま出力し、前記判定ステップにより前記映像データの実際の値が前記線形領域にあることが判定されたならば、前記映像データの実際の値に応じて、前記階調電圧選択ステップで出力した 2 の電圧のうちの 1 の電圧又はその 2 の電圧を前記映像データの実際の値の下位ビットの値に応じて分圧した電圧を出力する出力ステップと、

を有することを特徴とする多階調デジタル映像データを表示するための駆動方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、画像表示装置に備わる駆動回路及びその駆動回路における駆動方法に関し、特に多階調デジタル映像データを表示するための駆動回路及びその駆動回路における駆動方法に関する。

##### 【0002】

#### 【従来の技術】

図 9 に、従来の駆動回路の構成を示す。この回路は 240 画素×6 ビット／画素のデジタル映像データを表示するための駆動回路である。

##### 【0003】

このデジタル映像データを表示するための駆動回路は、80 ビットシフト回路 901、データレジスタ回路 902、データラッチ回路 903、階調電圧選択回路群 904、増幅器群 905、階調電圧発生回路 906 を備える。80 ビットシフト回路 901、データレジスタ回路 902、データラッチ回路 903 には、電

源電圧VDD1、VSS1が供給され、階調電圧選択回路群904、増幅器群905には、電源電圧VDD2、VSS2が供給される。

#### 【0004】

80ビットシフトレジスタ901は、入力したパルスをR/L信号で指定される方向にクロック毎にシフトする。すなわち、R/L信号が右方向を指定しているときには、STHR信号をCLK信号毎にシフトして、80クロック後にSTHL信号として出力する。また、STHR信号は1クロック幅のパルスであるので、STHR信号がシフトする間に、C1、C2、・・・、C79、C80端子から順次パルスが出力される。逆に、R/L信号が左方向を指定しているときには、STHL信号をCLK信号毎にシフトして、80クロック後にSTHR信号として出力する。また、STHL信号は1クロック幅のパルスであるので、STHL信号がシフトする間に、C80、C79、・・・、C2、C1端子から順次パルスが出力される。

#### 【0005】

データレジスタ902は、6ビット/画素、3画素分の映像データD00～25を1クロック毎に平行に入力し、内蔵する240画素分のレジスタ（6ビット/画素）に順次記憶する。つまり、データレジスタ902に入力された映像データは、C1、C2、・・・C79、C80端子に対応する位置にある3画素毎のレジスタに順次記憶される。

#### 【0006】

データラッチ回路903は、データレジスタ回路902の各レジスタに記憶された240画素分の映像データをLATCH信号のパルスが発生したときに内蔵する240画素分のラッチに一斉に記憶する。データラッチ回路903を設けているのは、増幅器群905から1ライン分の映像データを出力しているときに、次のラインの映像データがデータレジスタ回路902に入力されるからである。

#### 【0007】

階調電圧発生回路906は、図10に示すような構成をとり、階調電圧V0～V8を入力し、隣接する階調電圧間を抵抗で8分割し、階調電圧V0～V7と共に抵抗分割された電圧を出力する。従って、階調電圧発生回路906は、64個

の電圧を出力する。階調電圧 $V_0 \sim V_8$ の値を、駆動するLCD(Liquid Crystal Display)に合わせて非線形に調整することにより、そのLCDの図11に示すような電圧-透過率特性の非線形性の補正をすることができる。

#### 【0008】

階調電圧選択回路群904は、各画素に付き図12に示すようにデコーダ904-1と階調数に等しい数のスイッチ904-2を備え、データラッチ回路903から出力される240画素の各々について、階調電圧発生回路906から供給される64個の電圧のうちの1の電圧を、6ビットの映像データの値に応じて選択してアナログ信号として出力する。

#### 【0009】

増幅器群905は、240画素のアナログ信号を出力する。これらのアナログ信号は、垂直走査回路（不図示）により選択されているラインの画素信号となる。また、このデジタル映像データを表示するための駆動回路は水平方向に複数個並べられているので、同時に1ラインの画素信号全てが揃う。

#### 【0010】

このデジタル映像データを表示するための駆動回路の方式を、一般に「抵抗ストリング方式」という。また、この駆動回路は、「Society for Information Display(SID) International symposium digest of technical, papers volume XXVI」（斉藤、北村著、発行年月日：1995年）のp257～p260に記載されている。尚、この文献に記載の階調電圧選択回路群904内の各画素毎の階調電圧発生回路は、図13に示すようにエンハンスメント型トランジスタとディプレッション型トランジスタで構成されており、スイッチ904-2を構成するために必要とされていたトランジスタを省いている。

#### 【0011】

##### 【発明が解決しようとする課題】

以上説明した従来の抵抗ストリング方式によれば、6ビット（64階調）の駆動回路は問題なく実現できるが、それ以上の階調を実現するには以下の問題が生じる。

#### 【0012】



第1の問題点は、半導体集積回路で製造する場合、チップサイズが増大することである。

【0013】

その理由は、抵抗ストリング方式では、階調数の増加に伴い、特に階調電圧選択回路が倍々に増加する。64階調ドライバでは1出力当たり64個の階調電圧選択回路を必要とするが、256階調ドライバでは256個と4倍の階調電圧選択回路を必要とするため素子面積が増大しチップサイズが増大する。

【0014】

第2の問題点は、半導体集積回路の検査工程でテスト時間が増大することである。

【0015】

64階調ドライバは階調電圧選択回路が1出力当たり64個あるが、これらの全ての選択回路の動作を確認する必要がある。256階調ドライバでも同様に1出力当たり256個の選択回路の動作を確認する必要がある。当然テスト時間も4倍になるため、テストコストが増大する。

【0016】

本発明の目的は、TFT(Thin Film Transistor)-LCDなどのLCDで多階調デジタル映像データを表示するための駆動回路において、8ビット以上のデジタル映像データを表示するための駆動回路の回路規模の低減ならびに素子面積の低減を実現すること、及び、そのような駆動回路のテストコストを低減することを目的とする。

【0017】

【課題を解決するための手段】

本発明による多階調デジタル映像データを表示するための駆動回路は、非線形領域では、映像データのとりうる値に一对一に対応する電圧を生成し、線形領域では、前記映像データのとりうる値に多対一に対応する電圧を生成する階調電圧発生回路と、前記映像データの実際の値に応じて、前記階調電圧発生回路が生成した電圧のうちの1の電圧を選択して出力する階調電圧選択回路と、前記映像データの実際の値が前記非線形領域にあるか又は前記線形領域にあるかを判定する

判定手段と、前記階調電圧選択回路が出力した電圧を入力し、前記判定手段により前記映像データの実際の値が前記非線形領域にあることが判定されたならば、前記階調電圧選択回路が出力した電圧をそのまま出力し、前記判定手段により前記映像データの実際の値が前記線形領域にあることが判定されたならば、前記映像データの実際の値に応じて、前記階調電圧選択回路が出力した電圧又は前記階調電圧選択回路が出力した電圧にオフセット電圧を加算又は減算した電圧を出力する出力回路と、を備えることを特徴とする。

## 【 0 0 1 8 】

また、本発明による多階調デジタル映像データを表示するための駆動回路は、非線形領域では、映像データのとりうる値に一对一に対応する電圧を生成し、線形領域では、前記映像データのとりうる値に二対一に対応する電圧を生成する階調電圧発生回路と、前記映像データの実際の値に応じて、前記階調電圧発生回路が生成した電圧のうちの1の電圧を選択して出力する階調電圧選択回路と、前記映像データの実際の値が前記非線形領域にあるか又は前記線形領域にあるかを判定する判定手段と、前記階調電圧選択回路が出力した電圧を入力し、前記判定手段により前記映像データの実際の値が前記非線形領域にあることが判定されたならば、前記階調電圧選択回路が出力した電圧をそのまま出力し、前記判定手段により前記映像データの実際の値が前記線形領域にあることが判定されたならば、前記映像データの実際の値の偶奇に応じて、前記階調電圧選択回路が出力した電圧又は前記階調電圧選択回路が出力した電圧にオフセット電圧を加算又は減算した電圧を出力する出力回路と、を備えることを特徴とする。

## 【 0 0 1 9 】

更に、本発明による多階調デジタル映像データを表示するための駆動回路は、非線形領域では、映像データのとりうる値に一对一に対応する電圧を生成し、線形領域では、前記映像データのとりうる値に多対一に対応する電圧を生成する階調電圧発生回路と、前記映像データの実際の値に応じて、前記階調電圧発生回路が生成した電圧のうちの相互に隣接する2の電圧を選択して出力する階調電圧選択回路と、前記映像データの実際の値が前記非線形領域にあるか又は前記線形領域にあるかを判定する判定手段と、前記階調電圧選択回路が出力した電圧を入力

し、前記判定手段により前記映像データの実際の値が前記非線形領域にあることが判定されたならば、前記階調電圧選択回路が出力した2の電圧のうちの1の電圧をそのまま出力し、前記判定手段により前記映像データの実際の値が前記線形領域にあることが判定されたならば、前記映像データの実際の値に応じて、前記階調電圧選択回路が出力した2の電圧のうちの1の電圧又はその2の電圧を前記映像データの実際の値の下位ビットの値に応じて分圧した電圧を出力する出力回路と、を備えることを特徴とする。

## 【 0 0 2 0 】

本発明による多階調デジタル映像データを表示するための駆動方法は、非線形領域では、映像データのとりうる値に一对一に対応する電圧を生成し、線形領域では、前記映像データのとりうる値に多対一に対応する電圧を生成する階調電圧発生ステップと、前記映像データの実際の値に応じて、前記階調電圧発生ステップで生成した電圧のうちの1の電圧を選択して出力する階調電圧選択ステップと、前記映像データの実際の値が前記非線形領域にあるか又は前記線形領域にあるかを判定する判定ステップと、前記階調電圧選択ステップで出力した電圧を入力し、前記判定ステップにより前記映像データの実際の値が前記非線形領域にあることが判定されたならば、前記階調電圧選択ステップで出力した電圧をそのまま出力し、前記判定ステップにより前記映像データの実際の値が前記線形領域にあることが判定されたならば、前記映像データの実際の値に応じて、前記階調電圧選択ステップで出力した電圧又は前記階調電圧選択ステップで出力した電圧にオフセット電圧を加算又は減算した電圧を出力する出力ステップと、を有することを特徴とする。

## 【 0 0 2 1 】

また、本発明による多階調デジタル映像データを表示するための駆動方法は、非線形領域では、映像データのとりうる値に一对一に対応する電圧を生成し、線形領域では、前記映像データのとりうる値に二対一に対応する電圧を生成する階調電圧発生ステップと、前記映像データの実際の値に応じて、前記階調電圧発生ステップで生成した電圧のうちの1の電圧を選択して出力する階調電圧選択ステップと、前記映像データの実際の値が前記非線形領域にあるか又は前記線形領域

にあるかを判定する判定ステップと、前記階調電圧選択ステップで出力した電圧を入力し、前記判定ステップにより前記映像データの実際の値が前記非線形領域にあることが判定されたならば、前記階調電圧選択ステップで出力した電圧をそのまま出力し、前記判定ステップにより前記映像データの実際の値が前記線形領域にあることが判定されたならば、前記映像データの実際の値の偶奇に応じて、前記階調電圧選択ステップで出力した電圧又は前記階調電圧選択ステップで出力した電圧にオフセット電圧を加算又は減算した電圧を出力する出力ステップと、を有することを特徴とする。

## 【 0 0 2 2 】

更に、本発明による多階調デジタル映像データを表示するための駆動方法は、非線形領域では、映像データのとりうる値に一对一に対応する電圧を生成し、線形領域では、前記映像データのとりうる値に多対一に対応する電圧を生成する階調電圧発生ステップと、前記映像データの実際の値に応じて、前記階調電圧発生ステップで生成した電圧のうちの相互に隣接する2の電圧を選択して出力する階調電圧選択ステップと、前記映像データの実際の値が前記非線形領域にあるか又は前記線形領域にあるかを判定する判定ステップと、前記階調電圧選択ステップで出力した電圧を入力し、前記判定ステップにより前記映像データの実際の値が前記非線形領域にあることが判定されたならば、前記階調電圧選択ステップで出力した2の電圧のうちの1の電圧をそのまま出力し、前記判定ステップにより前記映像データの実際の値が前記線形領域にあることが判定されたならば、前記映像データの実際の値に応じて、前記階調電圧選択ステップで出力した2の電圧のうちの1の電圧又はその2の電圧を前記映像データの実際の値の下位ビットの値に応じて分圧した電圧を出力する出力ステップと、を有することを特徴とする。

## 【 0 0 2 3 】

## 【発明の実施の形態】

次に、本発明の実施形態について図面を参照して詳細に説明する。

## 【 0 0 2 4 】

## 〔実施形態1〕

図1に、本発明の実施形態1による駆動回路の要部の構成を示す。実施形態1

の駆動回路は、従来例による 80 ビットシフトレジスタ 901、データレジスタ 902、データラッチ回路 903 を備えるが、図 1 には示していない。階調電圧発生回路 101A は、階調電圧発生回路 906 と同様なものである。階調電圧選択回路 102A は、240 個集まって、従来例による階調電圧選択回路群 904 と同一の位置にある階調電圧選択回路群を構成する。下位ビット制御回路 103A は実施形態 1 で新たに追加された。出力回路兼増幅器 104A は、240 個集まって、従来例による増幅器群 905 と同一の位置にある出力回路兼増幅器群を構成するが、従来例による増幅器群 905 を構成する増幅器とは異なる。

## 【0025】

階調電圧発生回路 101A は、図 10 に示すのと同様な構成をとり、入力する階調基準電圧 ( $V_{G0} \sim V_{Gn}$ ) を分圧する。階調電圧選択回路 102A のみによる表示階調数が 64 である場合には、抵抗を 63 個備え、相互に異なった 64 個の電圧を発生する。また、階調電圧選択回路 102A のみによる表示階調数が 256 である場合には、抵抗を 255 個備え、相互に異なった 256 個の電圧を発生する。

## 【0026】

しかし、本実施形態では、階調電圧発生回路 101A は、159 個の抵抗を備え、160 個の電圧を発生する。すなわち、階調電圧発生回路 101A は、液晶の電圧—光透過率特性の非線形領域においては、 $V_0$ 、 $V_1$ 、 $V_2$ 、 $\dots$   $V_{30}$ 、 $V_{31}$ 、及び、 $V_{224}$ 、 $V_{225}$ 、 $V_{226}$ 、 $\dots$   $V_{254}$ 、 $V_{255}$  の 8 ビット精度の 64 個の階調電圧を発生し、液晶の電圧—光透過率特性の線形領域においては、 $V_{32}$ 、 $V_{34}$ 、 $\dots$   $V_{220}$ 、 $V_{222}$  の 7 ビット精度の 96 個の階調電圧を発生する。従って、合計で 160 個の異なった階調電圧を発生し、階調電圧選択回路 102A に出力する。

## 【0027】

階調電圧選択回路 102A は、図 12 又は図 13 に示す従来例による階調電圧選択回路と同様な構成をとる。また、階調電圧選択回路 102A は、図 2 に示すように、デジタル映像データの全ビット  $B_0 \sim B_7$  の値に応じて、階調電圧発生回路 101A から入力した 160 個の階調電圧から 1 つの電圧を電圧  $V_{INT}$  とし

て選択する。デジタル映像データの値が0～31である範囲では、電圧 $V_0$ 、 $V_1$ 、 $V_2$ 、・・・、 $V_{31}$ を電圧 $V_{INT}$ として選択し、デジタル映像データの値が32～223である範囲では、電圧 $V_{32}$ 、 $V_{34}$ 、 $V_{36}$ 、・・・、 $V_{222}$ を電圧 $V_{INT}$ として選択し、デジタル映像データの値が224～255である範囲では、電圧 $V_{224}$ 、 $V_{225}$ 、 $V_{226}$ 、・・・、 $V_{255}$ を出力電圧 $V_{INT}$ として選択する。

## 【0028】

出力回路兼増幅器104Aは、下位ビット制御回路103Aから入力する制御信号151Aの値に応じて、階調電圧選択回路102Aから入力した電圧 $V_{INT}$ 又はその電圧 $V_{INT}$ にオフセット電圧 $\alpha$ を加算した電圧を出力電圧 $V_{OUT}$ として選択して出力する。

## 【0029】

出力回路兼増幅器104Aは、図3に示すような構成をとり、オペアンプの差動段に流れる電流を制御信号151により制御されるスイッチSW1により変化させることによりオフセット電圧 $\alpha$ を発生する。スイッチSW1の第1の入力端子には、電圧 $V_{INT}$ が印加され、第2の入力端子には、差動増幅器を構成するトランジスタの導電型に応じて、電圧 $V_{DD}$ 又は接地電圧GNDが印加される。スイッチSW1の出力端子が第1の入力端子に接続されているときは、オフセット電圧は0ボルトであり、スイッチSW1の出力端子が第2の入力端子に接続されているときは、オフセット電圧は $\alpha$ ボルトである。スイッチSW1は、下位ビット制御回路103Aが出力する制御信号151Aにより制御される。

## 【0030】

下位ビット制御回路103Aは、図4に示すように、一致回路301と論理積ゲート回路302を備える。図4から明らかなように、映像データの上位3ビットB5～B7の値が全て0であるとき又は映像データの上位3ビットB5～B7の値が全て1であるときには、一致回路301の出力はHIGHとなり、下位ビットデータB0の値は無効となり、論理積ゲート回路302は、LOWの値の制御信号151を出力する。一方、映像データの上位3ビットB5～B7のうちの何れかの1ビットの値が他の2ビットの値と異なる値をとるときには、一致回路

301の出力はLOWとなり、下位ビットデータB0の値に応じて、論理積ゲート回路302は、LOW又はHIGHの値の制御信号151Aを出力する。スイッチSW1の出力端子は、制御信号151Aの値がLOWであるときには、第1の入力端子に接続され、制御信号151Aの値がHIGHであるときには、第2の入力端子に接続される。

#### 【0031】

従って、出力回路兼増幅器104Aが出力する出力電圧 $V_{OUT}$ の値は、図2に示すように、映像データの値に応じて変化する。すなわち、映像データの値が0～31である範囲では、出力電圧 $V_{OUT}$ の値は、 $V_0$ 、 $V_1$ 、 $V_2$ 、 $\dots$ 、 $V_{31}$ であり、映像データの値が32～223である範囲では、出力電圧 $V_{OUT}$ の値は、 $V_{32}$ 、 $V_{32} + \alpha$ 、 $V_{34}$ 、 $V_{34} + \alpha$ 、 $\dots$ 、 $V_{222}$ 、 $V_{222} + \alpha$ であり、映像データの値が224～255である範囲では、出力電圧 $V_{OUT}$ の値は、 $V_{224}$ 、 $V_{225}$ 、 $V_{226}$ 、 $\dots$ 、 $V_{255}$ である。なお、オフセット電圧 $\alpha$ の値は、スイッチSW1の出力端子にゲートが接続されるトランジスタとその対のトランジスタの寸法を調整することにより、例えば、典型的な液晶パネルについての電圧 $V_{126}$ と電圧 $V_{128}$ との差の約 $1/2$ とする。具体的には、50mV～100mVの範囲内の値とする。

#### 【0032】

階調電圧発生回路101Aが出力する電圧のうち、非線形領域で出力する電圧を $V_{32}$ 、 $V_{34}$ 、 $\dots$ 、 $V_{222}$ ではなく、 $V_{33}$ 、 $V_{35}$ 、 $\dots$ 、 $V_{223}$ に変えて、下位ビット制御回路103Aの構成を変えて、スイッチSW1の第2の入力端子に供給する電圧を変えることにより、出力回路兼増幅器104Aが、映像データの値が33、35、 $\dots$ 、223のときに、階調電圧選択回路102Aから入力した電圧 $V_{INT}$ をそのまま出力電圧 $V_{OUT}$ として出力し、映像データの値が32、34、 $\dots$ 、222であるときに、階調電圧選択回路102Aから入力した電圧 $V_{INT}$ からオフセット電圧を減算した電圧を出力電圧 $V_{OUT}$ として出力するようにすることも可能である。

#### 【0033】

#### 〔実施形態2〕

図5に、本発明の実施形態2による駆動回路の要部の構成を示す。実施形態2の駆動回路は、従来例による80ビットシフトレジスタ901、データレジスタ902、データラッチ回路903を備えるが、図5には示していない。階調電圧発生回路101は、階調電圧発生回路906と同様なものである。階調電圧選択回路102Bは、240個集まって、従来例による階調電圧選択回路群904と同一の位置にある階調電圧選択回路群を構成する。下位ビット制御回路103Bは実施形態2で新たに追加された。出力回路兼増幅器104Bは、240個集まって、従来例による増幅器群905と同一の位置にある出力回路兼増幅器群を構成するが、従来例による増幅器群905に抵抗及びスイッチを追加したものである。

#### 【0034】

階調電圧発生回路101は、図10に示すのと同様な構成をとり、入力する階調基準電圧( $V_{G0} \sim V_{Gn}$ )を分圧する。階調電圧選択回路102Bのみによる表示階調数が64である場合には、抵抗を63個備え、相互に異なった64個の電圧を発生する。また、階調電圧選択回路102Bのみによる表示階調数が256である場合には、抵抗を255個備え、相互に異なった256個の電圧を発生する。

#### 【0035】

しかし、本実施形態では、階調電圧発生回路101Bは、111個の抵抗を備え、112個の電圧を発生する。すなわち、階調電圧発生回路101Bは、液晶の電圧-光透過率特性の非線形領域においては、 $V_0$ 、 $V_1$ 、 $V_2$ 、 $\dots$   $V_{30}$ 、 $V_{31}$ 、及び、 $V_{224}$ 、 $V_{225}$ 、 $V_{226}$ 、 $\dots$   $V_{254}$ 、 $V_{255}$ の8ビット精度の64個の階調電圧を発生し、液晶の電圧-光透過率特性の線形領域においては、 $V_{32}$ 、 $V_{36}$ 、 $\dots$   $V_{216}$ 、 $V_{220}$ の6ビット精度の48個の階調電圧を発生する。従って、合計で112個の異なった階調電圧を発生し、階調電圧選択回路102Bに出力する。

#### 【0036】

階調電圧選択回路102Bは、図12又は図13に示す従来例による階調電圧選択回路を2個併せたものと同様な構成をとる。また、階調電圧選択回路102



Bは、図6に示すように、デジタル映像データの全ビットB0～B7の値に応じて、階調電圧発生回路101Bから入力した112個の階調電圧から相互に隣接する2つの電圧を電圧 $V_U$ 、 $V_D$ として選択する。デジタル映像データの値が0～31である範囲では、電圧 $V_0$ 、 $V_1$ 、 $V_2$ 、 $\dots$ 、 $V_{31}$ を電圧 $V_D$ として選択し、デジタル映像データの値が32～223である範囲では、電圧 $V_{32}$ 、 $V_{36}$ 、 $V_{40}$ 、 $\dots$ 、 $V_{220}$ を電圧 $V_D$ として選択し、デジタル映像データの値が224～255である範囲では、電圧 $V_{224}$ 、 $V_{225}$ 、 $V_{226}$ 、 $\dots$ 、 $V_{255}$ を電圧 $V_D$ として選択する。また、デジタル映像データの値が0～31である範囲では、電圧 $V_1$ 、 $V_2$ 、 $V_3$ 、 $\dots$ 、 $V_{32}$ を電圧 $V_U$ として選択し、デジタル映像データの値が32～223である範囲では、電圧 $V_{36}$ 、 $V_{40}$ 、 $V_{44}$ 、 $\dots$ 、 $V_{224}$ を電圧 $V_U$ として選択し、デジタル映像データの値が224～254である範囲では、電圧 $V_{225}$ 、 $V_{226}$ 、 $V_{227}$ 、 $\dots$ 、 $V_{255}$ を電圧 $V_D$ として選択する。

## 【0037】

出力回路兼増幅器104Bは、下位ビット制御回路103Bから入力する制御信号151Bの値に応じて、階調電圧選択回路102Bから入力した電圧 $V_D$ 、 $V_U$ を基に生成した電圧を出力電圧 $V_{OUT}$ として出力する。

## 【0038】

出力回路兼増幅器104Bは、図7に示すように、電圧 $V_U$ と電圧 $V_D$ を分圧する4つの抵抗、これらの抵抗のいずれかの接続点の電圧又は電圧 $V_D$ を選択するためのスイッチSW2～SW5、スイッチSW2～SW5の出力の出力インピーダンスを減少させるバッファアンプA1を備える。スイッチSW2～SW5は、下位ビット制御回路103Bが出力する制御信号151Bにより制御される。制御信号151BがスイッチSW2のみをONにするときは、電圧 $V_{OUT}$ は電圧 $V_D$ と等しくなり、制御信号151BがスイッチSW3のみをONにするときは、電圧 $V_{OUT}$ は $(3/4)V_D + (1/4)V_U$ となり、制御信号151BがスイッチSW4のみをONにするときは、電圧 $V_{OUT}$ は $(2/4)V_D + (2/4)V_U$ となり、制御信号151BがスイッチSW4のみをONにするときは、電圧 $V_{OUT}$ は $(1/4)V_D + (3/4)V_U$ となる。

## 【 0 0 3 9 】

下位ビット制御回路 1 0 3 B は、図 8 に示すように、一致回路 3 0 1 と 2 対 4 ラインデコーダ 3 0 3 と論理和ゲート回路 3 0 4 と論理積ゲート回路 3 0 5 ～ 3 0 7 を備える。論理和ゲート回路 3 0 4 の出力端子は、スイッチ SW 2 の制御端子 C 2 に接続され、論理積ゲート回路 3 0 5 の出力端子は、スイッチ SW 3 の制御端子 C 3 に接続され、論理積ゲート回路 3 0 6 の出力端子は、スイッチ SW 4 の制御端子 C 4 に接続され、論理積ゲート回路 3 0 7 の出力端子は、スイッチ SW 5 の制御端子 C 5 に接続される。図 8 から明らかなように、映像データの上位 3 ビット B 5 ～ B 7 の値が全て 0 であるとき又は映像データの上位 3 ビット B 5 ～ B 7 の値が全て 1 であるときには、一致回路 3 0 1 の出力は HIGH となり、従って、論理和ゲート回路 3 0 4 の出力は HIGH となり、論理積ゲート回路 3 0 5 ～ 3 0 7 の出力は LOW となる。従って、このときには、スイッチ SW 2 ～ SW 5 のうちスイッチ SW 2 のみが ON となる。一方、映像データの上位 3 ビット B 5 ～ B 7 のうちの何れかの 1 ビットの値が他の 2 ビットの値と異なる値をとるときには、一致回路 3 0 1 の出力は LOW となり、下位 2 ビット B 0、B 1 の値に応じて、論理和ゲート回路 3 0 4、論理積ゲート回路 3 0 5 ～ 3 0 7 は、LOW 又は HIGH の値の制御信号 1 5 1 B を出力する。従って、このときには、映像データの下位 2 ビット B 0、B 1 の値に応じて、スイッチ SW 2 ～ SW 5 のうちの 1 のスイッチが ON となり、他のスイッチは OFF となる。

## 【 0 0 4 0 】

従って、出力回路兼増幅器 1 0 4 B が出力する出力電圧  $V_{OUT}$  の値は、図 6 に示すように、映像データの値に応じて変化する。すなわち、映像データの値が 0 ～ 3 1 である範囲では、出力電圧  $V_{OUT}$  の値は、 $V_0$ 、 $V_1$ 、 $V_2$ 、 $\dots$ 、 $V_{31}$  であり、映像データの値が 3 2 ～ 2 2 3 である範囲では、出力電圧  $V_{OUT}$  の値は、 $V_{32}$ 、 $(3/4)V_{32} + (1/4)V_{36}$ 、 $(2/4)V_{32} + (2/4)V_{36}$ 、 $(1/4)V_{32} + (3/4)V_{36}$ 、 $V_{36}$ 、 $\dots$ 、 $V_{220}$ 、 $(3/4)V_{220} + (1/4)V_{224}$ 、 $(2/4)V_{220} + (2/4)V_{224}$ 、 $(1/4)V_{220} + (3/4)V_{224}$  であり、映像データの値が 2 2 4 ～ 2 5 5 である範囲では、出力電圧  $V_{OUT}$  の値は、 $V_{224}$ 、 $V_{225}$

、V 2 2 6、・・・、V 2 5 5である。

【0 0 4 1】

出力回路兼増幅器に含まれる出力回路の他の例として、容量を用いたスイッチドキャパシタ方式や抵抗を用いるR-2R方式など、複数の基準電圧からそれよりも多い数の複数の電圧を発生することができるD/Aコンバータを用いることができる。

【0 0 4 2】

また、実施形態1、2では、下位ビット制御回路103Aは、線形領域であるか否かを、一致回路301を使用して、映像データの上位3ビットが全て一致するか否かにより判定していたが、本発明はこれに限られるものではない。例えば、一致回路301の代わりに、図9に示すような2つの比較器321、322とこれらの比較器の出力の論理和をとる論理和ゲート回路323より成る回路を使用し、線形領域と非線形領域との境界を示す閾値TH1、TH2を任意に設定することが可能である。

【0 0 4 3】

また、(1)階調電圧選択回路102Aと、(2)2対4ラインデコーダ303をビットB0、B1の値に応じて1乃至4個の出力をHIGHとするデコーダに置き換え、論理和ゲート回路304又はその出力を省いた下位ビット制御回路103Bと、(3)スイッチSW1とスイッチSW1にゲートが接続されるトランジスタを3組設けた出力回路兼増幅器104Aと、を組み合わせた構成により、階調電圧選択回路の回路規模を更に削減することも可能である。

【0 0 4 4】

【発明の効果】

以上説明したように、本発明によれば、液晶の電圧-光透過率特性の線形領域では、映像データの上位ビットの値に応じた1または2の電圧を階調電圧選択回路により選択し、それらの選択された電圧を利用して、映像データの全ビットのうち前記上位ビットの残りのビットである映像データの下位ビットの値に応じて、更に細かい電圧を発生させるので、階調電圧選択回路の回路規模を大きく削減することができる。また、液晶の電圧-光透過率特性の非線形領域では、階調電

圧差（同一の階調差を得るための電圧差）が線形領域より大きくまた、均一でないが、この非線形領域では、前記上位ビットのうちの一部の上位のビットの値により、この非線形領域を判定して、8ビット精度の階調電圧を発生させて、選択するので、階調を正しく表現した画像を液晶パネルに表示することができる。また、3色の液晶パネルを利用し、これに応じて駆動回路を3系統使用した場合には、例えば、1677万色表示のフルカラー化が実現できる。

【0045】

また、本発明によれば、階調電圧選択回路の回路規模を減らすことができる。出力回路による回路規模の増大分を考慮しても、駆動回路全体の回路規模を減らすことができる。

【0046】

従来例による8ビットの抵抗ストリング方式では、階調電圧選択回路は、1出力当たり、256階調に対応したデコーダと256個のスイッチが備わることを必要とする。一方、第1の実施形態では、1出力当たり、160階調に対応したデコーダと160個のスイッチのみ備わることしか必要とならず、第2の実施形態では、1出力当たり、112階調に対応したデコーダと112個のスイッチのセットが2個のみ備わることしか必要とならない。

【0047】

また、階調電圧選択回路の出力する階調数が少なくなると、検査する階調数も少なくなるので、テストタイムが短くできるなどチップコストの低減ができる。出力回路は、全ての階調について検査する必要はなく、下位ビット制御回路から入力するスイッチのコントロール信号の組み合わせの全てについて検査すれば済む。

【図面の簡単な説明】

【図1】

本発明の実施形態1による多階調デジタル映像データを表示するための駆動回路の要部を示すブロック図である。

【図2】

本発明の実施形態1による多階調デジタル映像データを表示するための駆動回

路が入力する映像データの値と出力電圧との関係を示す表である。

【図 3】

図 1 に示す出力回路兼増幅器 1 0 4 A の構成を示すブロック図である。

【図 4】

図 1 に示す下位ビット制御回路 1 0 3 A の構成を示すブロック図である。

【図 5】

本発明の実施形態 2 による多階調デジタル映像データを表示するための駆動回路の要部を示すブロック図である。

【図 6】

本発明の実施形態 2 による多階調デジタル映像データを表示するための駆動回路が入力する映像データの値と出力電圧との関係を示す表である。

【図 7】

図 5 に示す出力回路兼増幅器 1 0 4 B の構成を示すブロック図である。

【図 8】

図 5 に示す下位ビット制御回路 1 0 3 B の構成を示すブロック図である。

【図 9】

一致回路 3 0 1 と置き換えることができる回路の構成を示す回路図である。

【図 1 0】

従来例による多階調デジタル映像データを表示するための駆動回路の構成を示すブロック図である。

【図 1 1】

階調電圧発生回路の構成を示すブロック図である。

【図 1 2】

L C D の電圧－透過率特性を示すグラフである。

【図 1 3】

階調電圧選択回路の 1 例の構成を示すブロック図である。

【図 1 4】

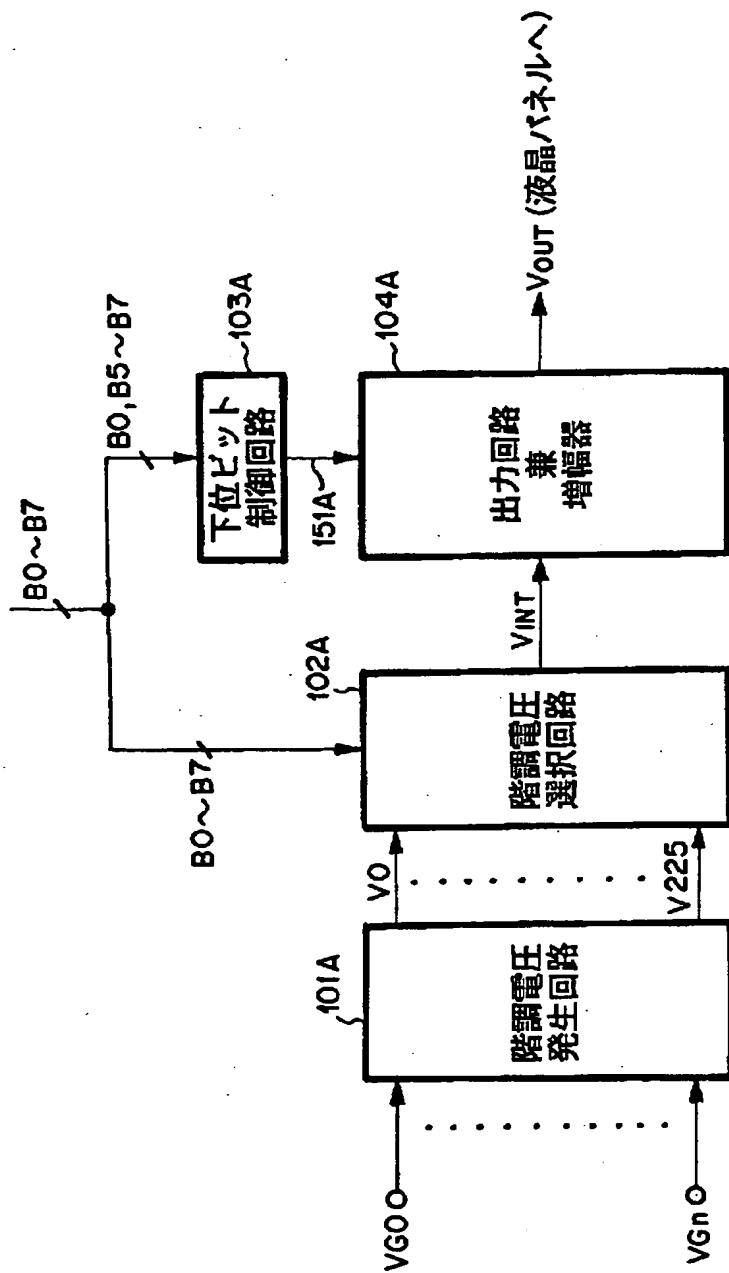
階調電圧選択回路の他の例の構成を示すブロック図である。

【符号の説明】

- 101A、101B 階調電圧発生回路
- 102A、102B 階調電圧選択回路
- 103A、103B 下位ビット制御回路
- 104A、104B 出力回路兼増幅器
- 901 80ビットシフトレジスタ
- 902 データレジスタ回路
- 903 データラッチ回路
- 904 階調電圧選択回路群
- 905 増幅器群

【書類名】 図面

【図 1】



【図 2】

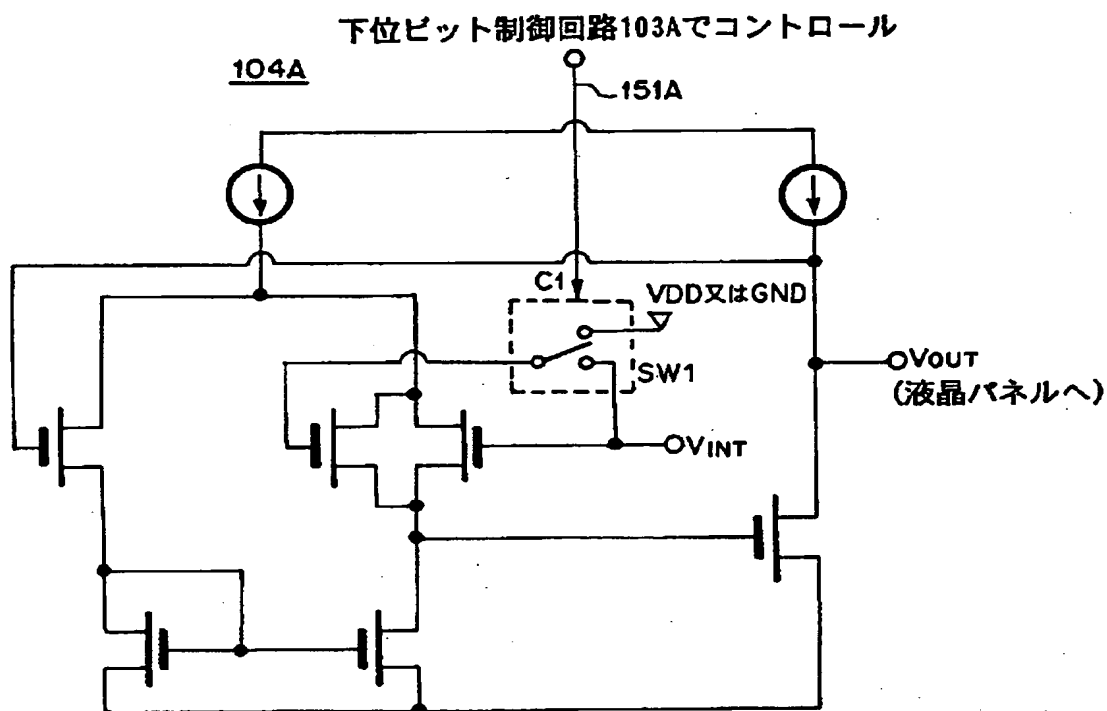
## オフセット電圧法

映像データ	出力電圧
00000000	V0
00000001	V1
00000010	V2
00000011	V3
:	
:	
:	
00011110	V30
00011111	V31
00100000	V32
00100001	$V32 + \alpha$
00100010	V34
00100011	$V34 + \alpha$
:	
:	
:	
11011110	V222
11011111	$V222 + \alpha$
11100000	V224
11100001	V225
:	
:	
:	
11111110	V254
11111111	V255

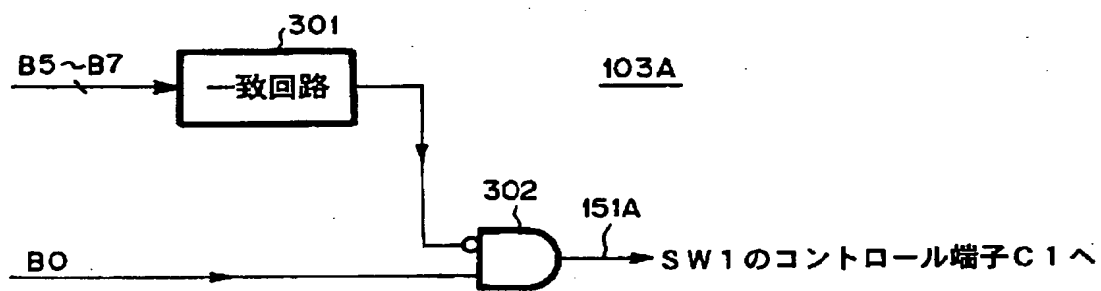
$\alpha$  は V 1 2 6 と V 1 2 8 の差の約 1 / 2 に設定



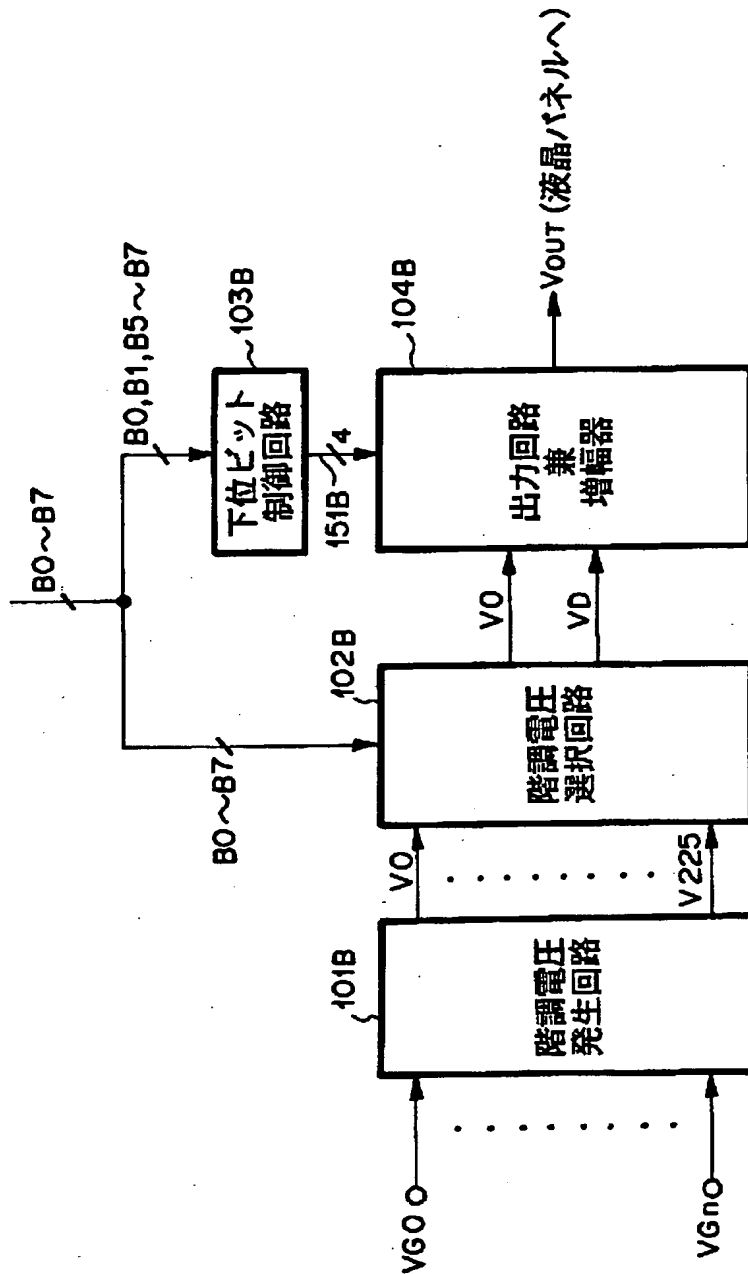
【図 3】



【図 4】



【図 5】

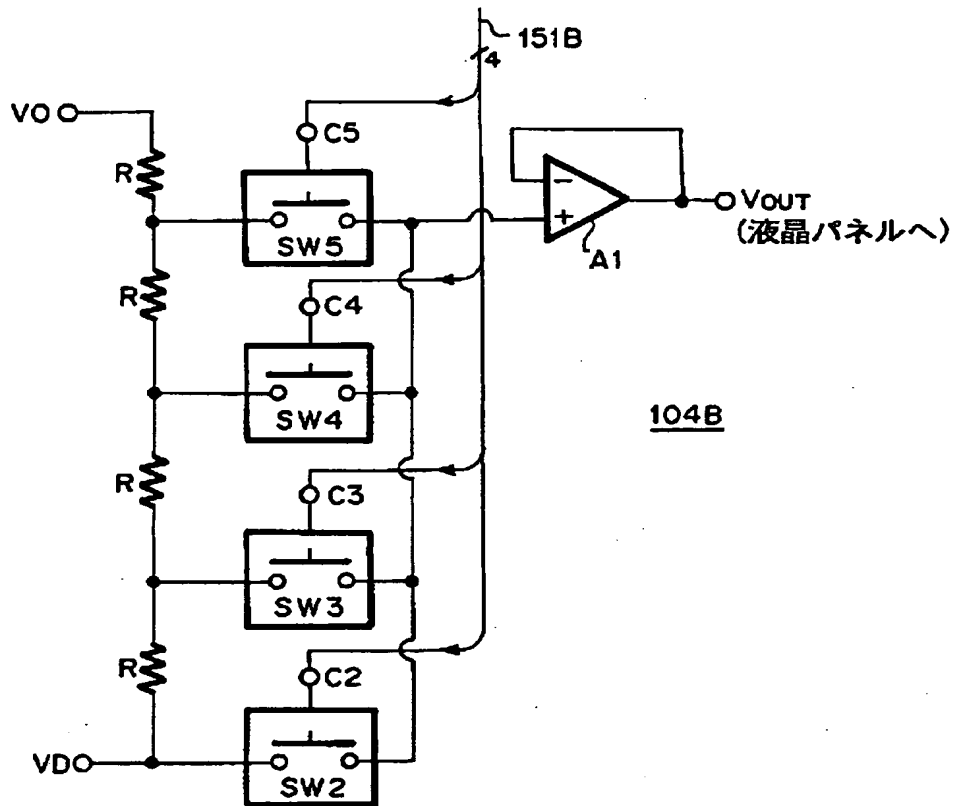


【図 6】

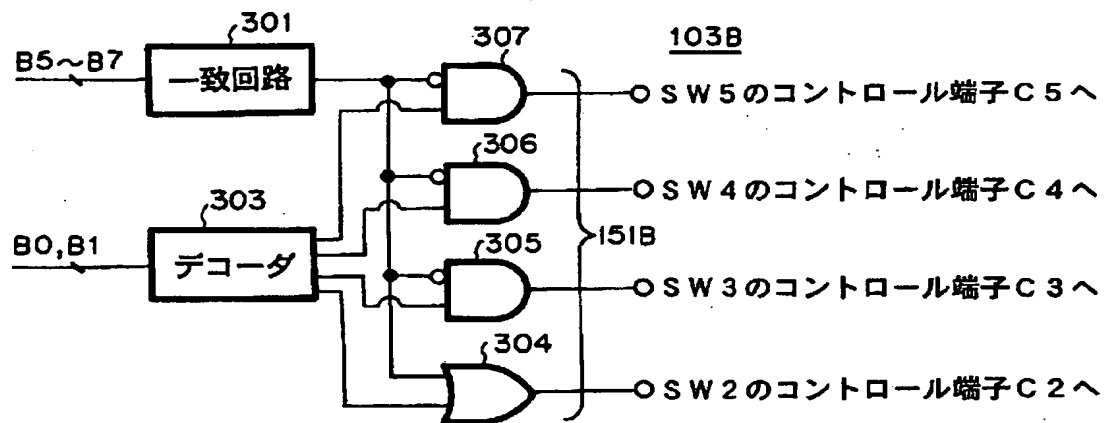
## 抵抗分圧法

映像データ	出力電圧
00000000	V0
00000001	V1
00000010	V2
00000011	V3
:	
:	
:	
00011110	V30
00011111	V31
00100000	V32
00100001	$(3/4)V32 + (1/4)V36$
00100010	$(2/4)V32 + (2/4)V36$
00100011	$(1/4)V32 + (3/4)V36$
00100100	V36
:	
:	
:	
:	
11011100	V220
11011101	$(3/4)V220 + (1/4)V224$
11011110	$(2/4)V220 + (2/4)V224$
11011111	$(1/4)V220 + (3/4)V224$
11100000	V224
11100001	V225
:	
:	
:	
11111110	V254
11111111	V255

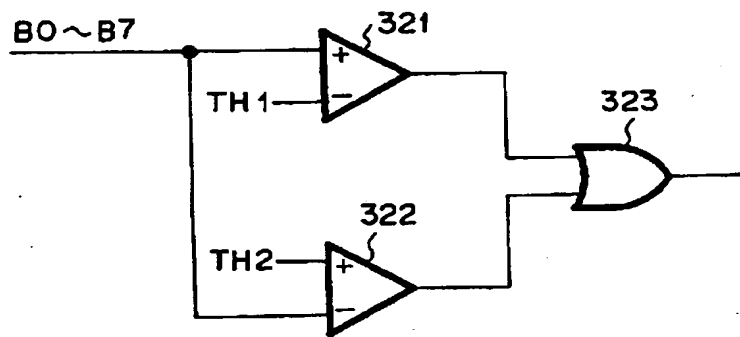
【図 7】



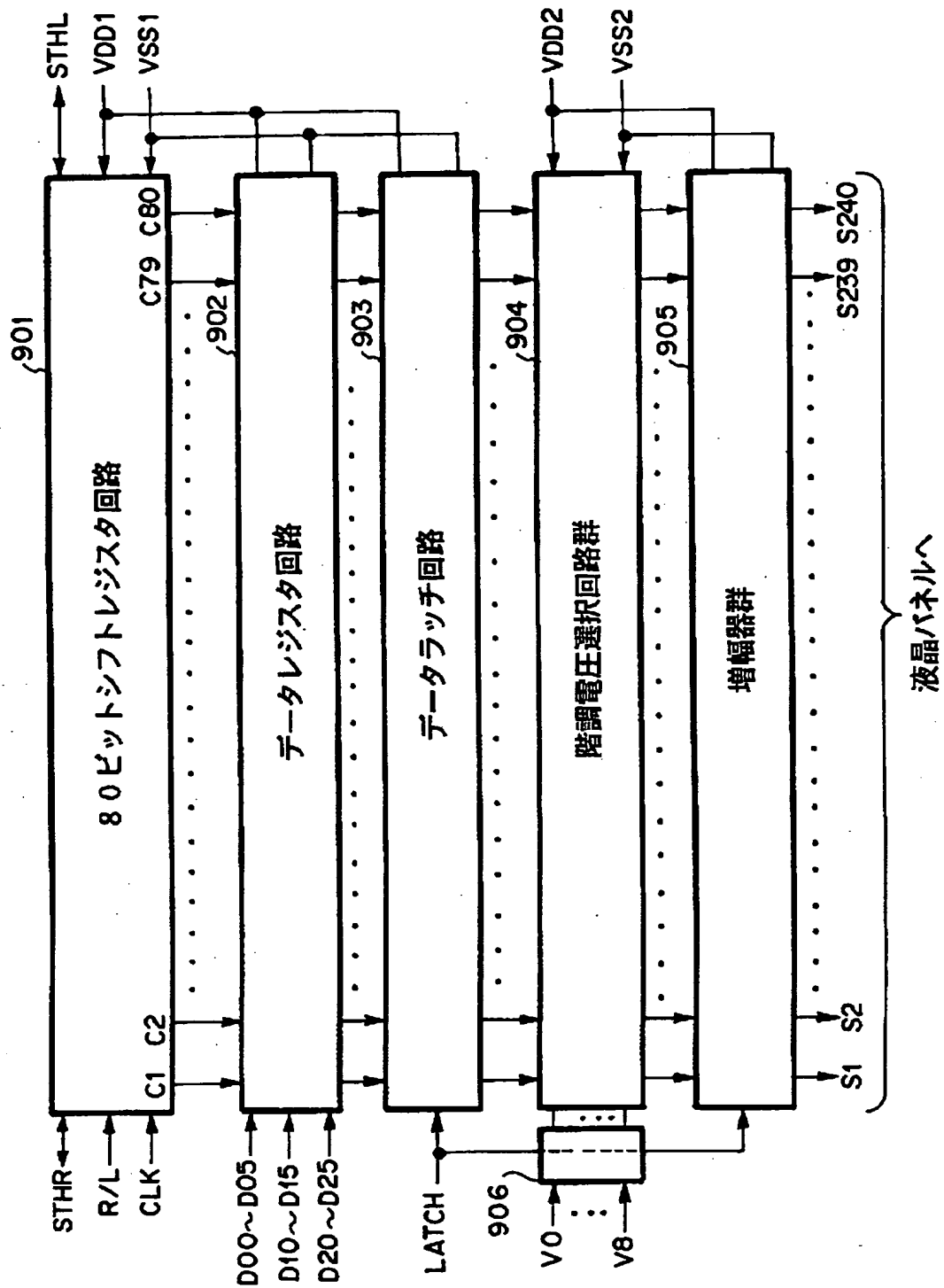
【図 8】



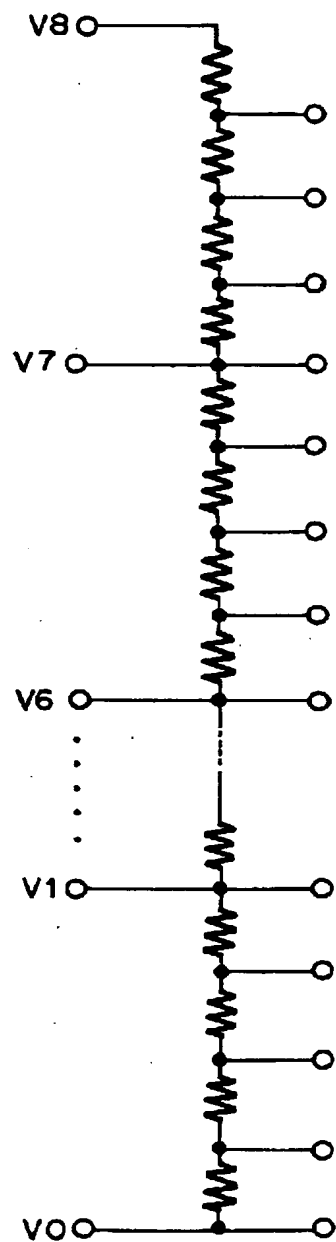
【図 9】



【図10】

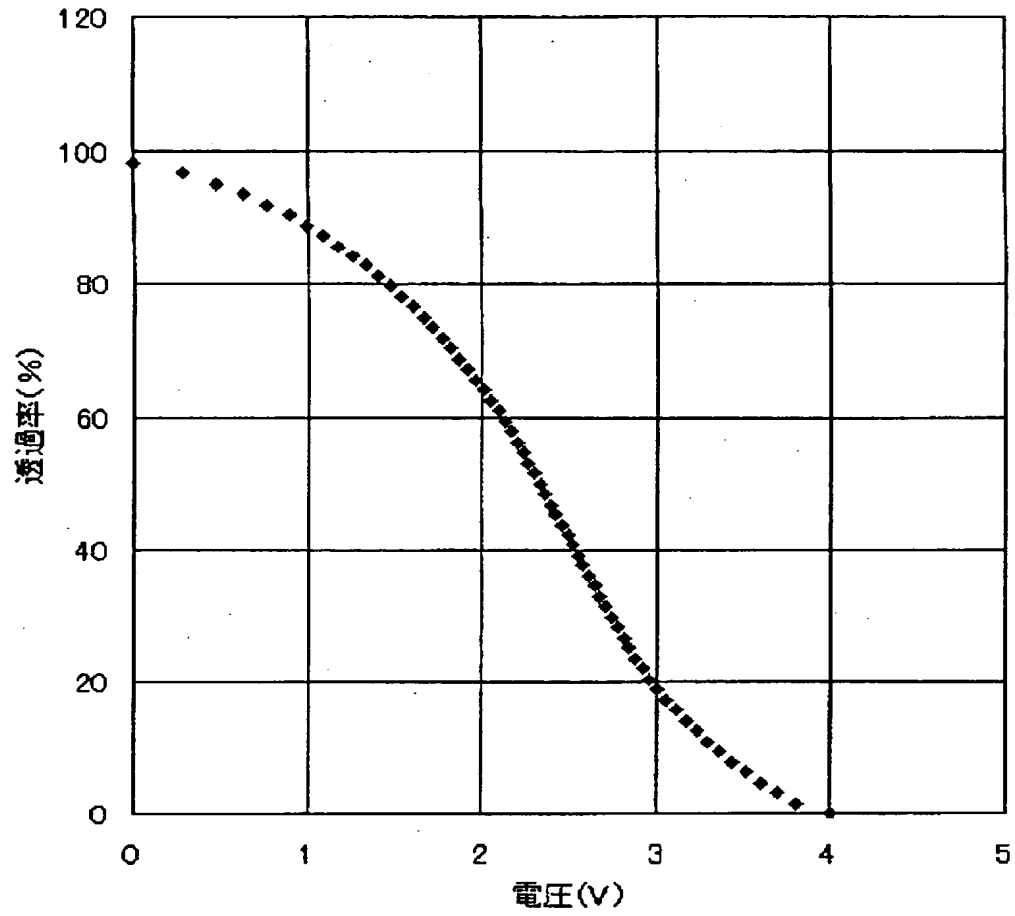


【図 1 1】



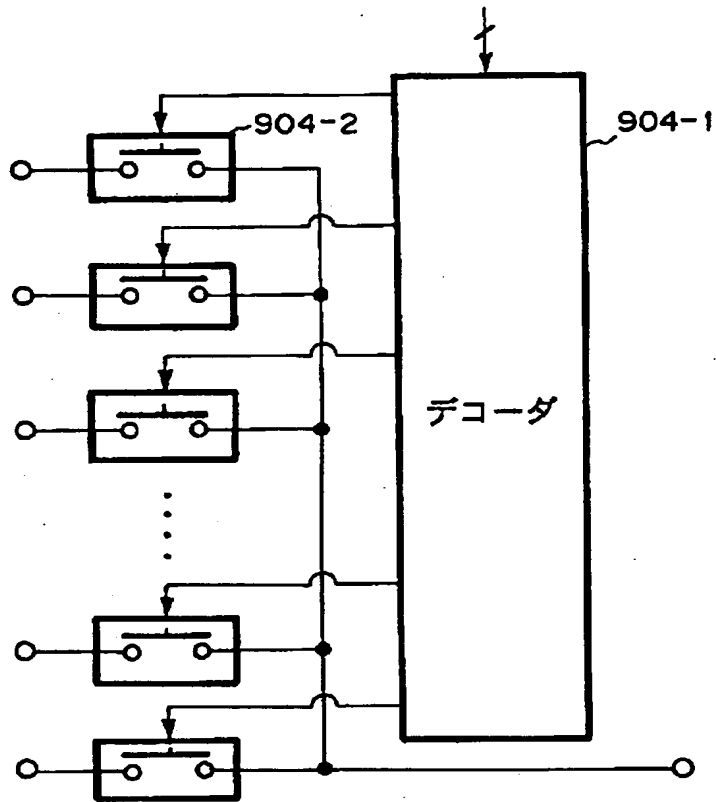
【図 12】

液晶透過率特性

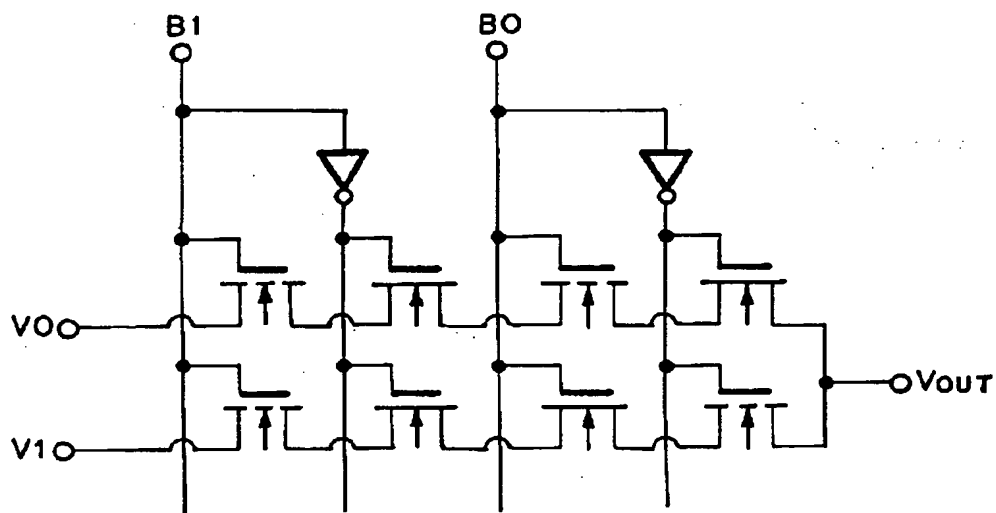




【図13】



【図14】



【書類名】            要約書

【要約】

【課題】    液晶表示装置の多階調表示において、階調電圧選択回路の素子数の低減をする。

【解決手段】    非線形領域では映像データのとりうる値に一対一に対応する電圧を生成し、線形領域では映像データのとりうる値に二対一に対応する電圧を生成する階調電圧発生回路、映像データの実際の値に応じて階調電圧発生回路が生成した電圧のうちの1の電圧を選択して出力する階調電圧選択回路、映像データの実際の値が非線形領域にあるか否かを判定する判定手段と、映像データの実際の値が非線形領域にあるならば階調電圧選択回路が出力した電圧をそのまま出力し、映像データの実際の値が線形領域にあるならば映像データの実際の値の偶奇に応じて階調電圧選択回路が出力した電圧又は階調電圧選択回路が出力した電圧にオフセット電圧を加算した電圧を出力する出力回路を備える。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社